

(11)Publication number : 2000-236271
(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

H04B · 1/04

(21)Application number : 11-036198

(71)Applicant : NEC SAITAMA LTD

(22)Date of filing : 15.02.1999

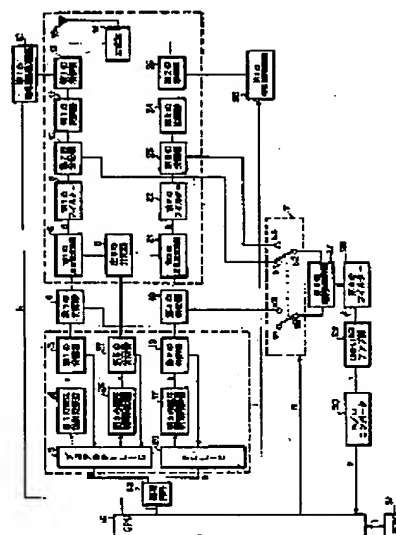
(72)Inventor : KAWASHIMA ETSUO

(54) MULTI-CARRIER TRANSMITTER

(57)Abstract:

PROBLEM TO BE SOLVED: To judge an unlock place of a PLL and to suppress the damage to system operation to a minimum by converting and filtering the oscillation frequency outputted by a voltage-controlled oscillator, when the PLL is unlocked.

SOLUTION: Intermediate frequency components are extracted from a transmit signal and inputted to a band-pass filter 28. The output of the band-pass filter 28 is inputted to a logarithmic amplifier 29, whose output is inputted to an A/D converter 30. Furthermore, this multi-carrier transmitter is provided with a ROM 31 stored with a table, wherein the power values of intermediate frequency signal are made to correspond to digital codes. A CPU 16 stops the transmission of all modulated signals when at least one step-out signal is generated, finds the power value of the intermediate frequency signal from the output of the A/D converter 30 by referring to the ROM 31, and selects the PLL according to the power value, thereby restarting the transmission.



LEGAL STATUS

[Date of request for examination] 15.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3001567

[Date of registration] 12.11.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号
特開2000-236271
(P2000-236271A)
(43)公開日 平成12年8月29日(2000.8.29)

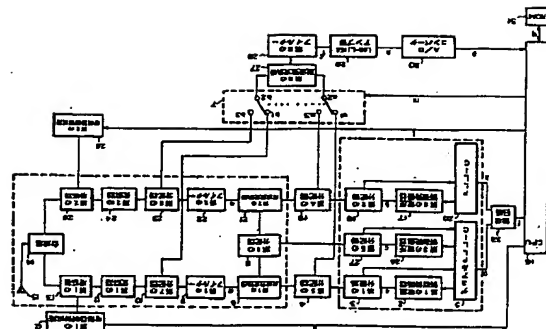
(5)Int.Cl. H04B 1/04	発明記号 FI H04B 1/04	フィードバック(参考) N 5K060 Z
-------------------------	-------------------------	-----------------------------

審査請求 有 請求項の数 2 OL (全 9 頁)

(21)出願番号 特願平11-36198	(71)出願人 390010179 埼玉日本電気株式会社 埼玉県児玉郡神川町大字元原字豊原300番 18
(22)出願日 平成11年2月15日(1999.2.15)	(72)発明者 川島 悦男 埼玉県児玉郡神川町大字元原字豊原300番 18 埼玉日本電気株式会社内 (74)代理人 100065385 弁理士 山下 敏平 Fターム(参考) 5K060 CC04 CC16 HH11 HH14 HH25 HH31 HH32 LL05 LL30

(54)【発明の名称】 マルチキャリア送信機

(57)【要約】
【課題】 PLLのアンロック発生時において電圧制御発振器から出力される発振周波数を周波数変換、フィルタリングすることで、PLLのアンロック箇所を判断し、システム運用の被害を最小限に抑える。
【解決手段】 送信信号から中間周波数成分を抽出し、帯域通過フィルタ28に入力する。更に、帯域通過フィルタ28の出力を対数増幅器29に入力し、対数増幅器29の出力をA/Dコンバータ30に入力する。又、本発明のマルチキャリア送信機は、中間周波数信号の電力値をデジタル符号に対応させる変換格納したROM31を備えている。CPU16は、同期はずれ信号が少くとも一つ発生した時には、すべての変調信号の送信を停止し、ROM31を参照して、A/Dコンバータ30の出力から前記中間周波数信号の電力値を見出し、前記電力値に基づいて、前記PLLを再探索し、送信を再開する。



THIS PAGE BLANK (USPTO)

のブロック図である。図1に示すように、本発明のマルチキャリア送信機のシンセサイザブロックにおいては、第1の電圧制御発振器2、第1の分配器3、デュアルPLL IC5により高周波信号aを発生し、また、第2の電圧制御発振器17、第2の分配器18、PLL IC20により高周波信号bを発生し、更に、第3の電圧制御発振器26、第5の分配器27、デュアルPLL IC5により高周波信号cを生成する。

[0013] 又、送信ブロックは、高周波信号aおよびcを入力して、第1の周波数変換器6、第1のフィルタ9、第1の増幅器11、第1の増幅器13により変調波dを発生し、また、高周波信号bおよびcを入力して、第2の周波数変換器21、第2のフィルタ22、第2の増幅器24、第2の増幅器26により変調波eを発生し、変調波dと変調波eとを合成器14にて合成して、アンテナ15から出力する。

[0014] 又、高周波信号a、b、dおよびeを送動スイッチ7の端子a1、a3、b1、b3へ抽出するために第3、第4、第7および第8の分配器4、19、10、23とを備えている。

[0015] 又、高周波信号a、dまたはb、eの周波数を選択して、周波数変換する第3の周波数変換器27と、第3の周波数変換器27からの高周波信号fを中心と周波数c、かつ、帯域が変調波の帯域であるバンドパスフィルタ特性を有する第3のフィルタ28と、第3のフィルタから出力される高周波信号fの電力値に対応した電圧に変換するLOG-LINEARアンプ部29と、LOG-LINEARアンプ部29の後段電圧nを後段データpに変換するA/Dコンバータ30とを備えている。

[0016] 又、PLL IC5、20のアンロック信号g、hを入力し、論理的計算し、アンロック信号jを出力する論理回路32と、A/Dコンバータ30の後段データpとROM31のデジタルデータqを比較演算するCPU16を備えている。

[0017] すなわち、本発明のマルチキャリア送信機においては、CPU16からの切替信号mにより、送動スイッチ7は、接続端子を任意に選択し、第3の周波数変換器27にて高周波信号a、dまたはb、eから高周波信号f (d-eまたはe-b) に周波数変換し、第3のフィルタ28にて高周波信号cのみを通させ、LOG-LINEARアンプ部29、A/Dコンバータ30-G-LINEARアンプ部29、A/Dコンバータ30を介し、CPU16が入力することで、高周波信号fが高周波信号cと同一周波数かを判断し、同一周波数の系の制御信号kまたは制御信号lを再度切り替え、送信を再開させる。

[0018] 図2は、後段電圧nと後段データpの間隔を例示する表である。又、図3は、電力値fと後段電圧nの間隔を例示する表である。又、図4は論理回路32の真値表である。

[0019] 図2、3、4を参照して、まず、PLLがロックした場合の信号の流れについて具体例を交えて説明する。

[0020] 第1の電圧制御発振器2、デュアルPLL IC5、第1の分配器3とで構成されるPLLにて、第1の電圧制御発振器2から出力される610MHzの高周波信号aは第3の分配器4において一方は第1の周波数変換器6へ、他方は送動スイッチ7の端子a1へ分配される。

[0021] 第2の電圧制御発振器17、PLL IC20、第2の分配器18とで構成されるPLLにて、第2の電圧制御発振器17から出力される620MHzの高周波信号bは第4の分配器19において一方は第2の周波数変換器21へ、他方は送動スイッチ7の端子a3へ分配される。

[0022] 第3の電圧制御発振器26、デュアルPLL IC5、第5の分配器27とで構成されるPLLにて、第3の電圧制御発振器26から出力される200MHzの高周波信号cは第6の分配器8において一方は第1の周波数変換器6へ、他方は第2の周波数変換器21へ分配される。

[0023] 第1の周波数変換器6では、610MHzの高周波信号aと200MHzの高周波信号cとで周波数変換し、第1のフィルタ9にて810MHzの通過させ、第7の分配器10で一方は第1の変換器11、他方は送動スイッチ7の端子b1へ分配される。

[0024] 810MHzの高周波信号dは、高周波信号dに変調をかける第1の変換器11、制御信号kにより第1の増幅器13への電源供給が制御され、変調波を増幅する第1の増幅器13、合成器14を經由してアンテナ15から出力される。

[0025] 同様に、第2の周波数変換器21では、620MHzの高周波信号bと200MHzの高周波信号cとで周波数変換し、第2のフィルタ22にて820MHzのみを通させ、第8の分配器23で一方は第2の変換器24、他方は送動スイッチ7の端子b3へ分配される。

[0026] 820MHzの高周波信号eは、高周波信号eに変調をかける第2の変換器24、制御信号lにより第2の増幅器26への電源供給が制御され、変調波を増幅する第2の増幅器26、合成器14を經由してアンテナ15から出力される。

[0027] 以上のような信号の流れを経て、2キャリア送信機が構築される。この時、デュアルPLL IC5およびPLL IC20から、アンロック信号g、h (H) が論理回路32へ入力され、論理回路32はアンロック信号j (Hi) をCPU16へ出力する。

[0028] ここで、CPU16から出力される切替信号m (Low) により、送動スイッチ7の接続端子はa1-a2、b1-b2を選択するものとする。

[0029] 第3の周波数変換器27は、送動スイッチ7の選択された接続端子a1-a2 (第3の分配器4からの610MHzの高周波信号：-10dBm) と、選択された接続端子b1-b2 (810MHzの高周波信号：-10dBm) を周波数変換し、200MHz (-10dBm) を生成し、中心周波数が200MHzかつ、帯域が変調波の帯域であるバンドパスフィルタの特性を有する第3のフィルタ28を通して、LOG-LINEARアンプ部29は、図3に示すように、第3のフィルタ28から出力される高周波信号fの電力値 (-10dBm) に対応した後段電圧nである3 [V] (-10dBm) を生成し、A/Dコンバータ30は、図2に示すように、後段電圧nの3 [V] を後段データ1EHへ変換する。

[0030] CPU16は、ROM31からのデジタルデータqと後段データpを比較演算し、高周波信号e側が運用可能ということが判断できる。

[0031] 次に、図1の高周波信号aの周波数が500MHzとなり、第1の電圧制御発振器2の構成するPLLのみがアンロックになった場合について、本発明のマルチキャリア送信機の動作を説明する。

[0032] デュアルPLL IC5からアンロック信号g (Low) が出力され、論理回路32を介してアンロック信号j (Low) がCPU16に入力される。

[0033] このような状態にて送信している場合は、マルチキャリア送信機が連発電波を発生する恐れがあるため、CPU16は、第1および第2の増幅器制御を切替 (Hi-Low)、第1および第2の増幅器制御回路12、25を介して第1および第2の増幅器13、26の電源供給を停止させる。

[0034] この時、CPU16から出力される切替信号m (Low) により送動スイッチ7の接続端子はa1-a2、b1-b2を選択する。第3の周波数変換器27は、送動スイッチ7の選択された接続端子a1-a2からの信号 (第3の分配器4からの610MHzの高周波信号：-10dBm) と、選択された接続端子b1-b2からの信号 (700MHzの高周波信号は第1のフィルタ9により-40dBm以下に減衰される) を周波数変換し、200MHzの信号 (-40dBm以下) を生成する。そして、第3のフィルタ28は第3の周波数変換器27から出力される200MHzの高周波信号fのみを通させる。

[0035] 従って、LOG-LINEARアンプ部29は、第3のフィルタ28から出力される高周波信号fの電力値がなく (-40dBm以下)、高周波信号fの電力値に対応した後段電圧nは0 [V] を出力し、A/Dコンバータ30は、後段電圧nの0 [V] を後段データ00Hへ変換する。

[0036] すると、CPU16は、ROM31からのデジタルデータqと後段データpを比較演算し、高周波

信号d側が運用不可能ということが判断でき、第1の制御信号k (Low) を保持し、第1の増幅器制御回路12を介して第1の増幅器13の電源供給を停止したままとする。

[0037] 同様に、CPU16からの切替信号m (Hi) により、送動スイッチ7を切替え接続端子はa3-a2、b3-b2を選択する。第3の周波数変換器27は、送動スイッチ7の選択された接続端子a3-a2 (第4の分配器19からの620MHzの高周波信号：-10dBm) と、選択された接続端子b3-b2 (820MHzの高周波信号：-10dBm) を周波数変換し、200MHz (-10dBm) を生成し、第3のフィルタ28を通して、LOG-LINEARアンプ部29は、第3のフィルタ28から出力される高周波信号fの電力値 (-10dBm) に対応した後段電圧nは3 [V] を出力し、A/Dコンバータ30は、後段電圧nの3 [V] を後段データ1EHへ変換する。

[0038] すると、CPU16は、ROM31からのデジタルデータqと後段データpを比較演算し、高周波信号e側が運用可能ということが判断でき、第2の制御信号iを切替 (Low-Hi)、第2の増幅器制御回路25を介して第2の増幅器26の電源供給を再開させる。

[0039] 次に、第2の電圧制御発振器17の構成するPLLのみがアンロックになった場合 (後段電圧が600MHz)、動作は以下となる。

[0040] PLL IC5からアンロック信号h (Low) が出力され、論理回路32を介してアンロック信号j (Low) がCPU16に入力される。

[0041] CPU16から出力される切替信号m (Low) により、送動スイッチ7の接続端子はa1-a2、b1-b2を選択する。第3の周波数変換器27は、送動スイッチ7の接続された端子a1-a2 (第3の分配器4からの610MHzの高周波信号：-10dBm) と、接続された端子b1-b2 (810MHzの高周波信号：-10dBm) を周波数変換し、200MHz (-10dBm) を生成し、第3のフィルタ28を通して、LOG-LINEARアンプ部29は、第3のフィルタ28から出力される高周波信号fの電力値 (-10dBm) に対応した後段電圧nは3 [V] を出力し、A/Dコンバータ30は、後段電圧nの3 [V] を後段データ1EHへ変換する。

[0042] すると、CPU16は、ROM31からのデジタルデータqと後段データpを比較演算し、高周波信号d側が運用可能ということが判断でき、第1の制御信号kを切替 (Low-Hi)、第1の増幅器制御回路12を介して第1の増幅器13の電源供給を再開する。

[0043] 同様に、CPU16からの切替信号m (Hi) により送動スイッチ7を切替え、接続端子はa3-a

a、2、b、3-b、2を選択する。第3の周波数変換器27は、通帯スイッチ7の接続された端子a-3-a、2（第4の分割器19からの500MHzの高周波信号：-10dBm）と、接続された端子b-3-b、2（700MHzの高周波信号は第1のフィルタにより-40dBm以下に減衰され）を周波数変換し、200MHzを生じ、第3のフィルタ28を通過する。

【0044】従って、LOG-LINEARアンプ部2-3のフィルタから出力される高周波信号fの電圧力値がなく（ -40 dBm 以下）、高周波信号fの電圧力値に對ぶった検波電圧 v_n は0[V]を出力し、A/Dコンバータ3-0は、検波電圧 v_n の0[V]を検波データ00hへ変換する。

【0045】CPU16は、ROM31からのデジタルデータqと検波データpを比較演算し、高周波信号e側運用不可ということが判断でき、第2の制御信号1(Low)を保持し、第2の増幅器制御回路25を介し、第2の増幅器25の電源供給を停止したままとし、図4、図5以上、本発明の実施形態について説明した。図4、図5以上、本発明はこれに限らず、図6に示すように、更に回線を高周波化するこゝででき、

【0047】図5に示すように、第1および第2のPLC1、C5、20か第1、第2および第3の電圧制御回路2、17、26に出力される制御電圧を第1、第2および第3のコンパレータ33、34、35で比較し、第1、第2および第3の電圧制御回路2、17、26がそれぞれ周波数を超える制御電圧になった場合、C5U16へ第1、第2および第3の電圧信号r₁、r₂、r₃を出力する。

[0048]

【類題の効果】以上説明した本発明によれば、第一の効率は、単体のアンロック信号にもかかわらず、複数のPししのアンロックの識別が可能となる。その理由は、周波数変換の桁および後の周波数を周波数変換して、更に電力レベルを抽出しているためである。

【0049】第二の効果は、マルチキャリア送信機の元々、柔軟性を確保できる。その理由は、キャリア単位のPLLの異常を識別でき、システム運用の可否を判断できるためである。

【図面の簡単な説明】

【図1】本発明のマルチキャリア送信機のブロック図

【図2】本発明のマルチキャリア送信機のブロック図

【図3】本発明のマルチキャリア送信機のブロック図

【図4】本発明マルチキャリア送信機のブロック図

【図5】本発明の他のマルチキャリア送信機のブロック

10

【図6】従来の

【符号の説明】

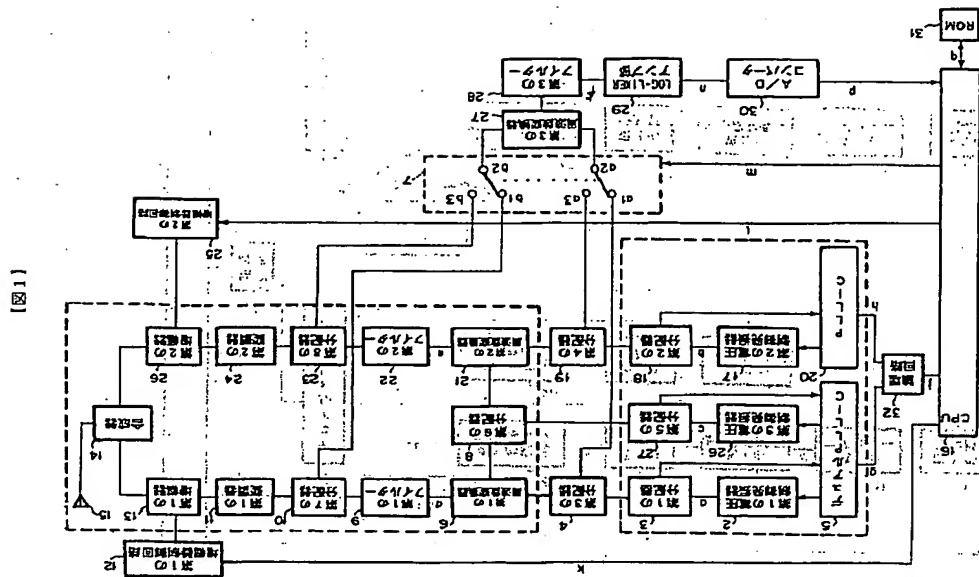
- | | | |
|-----------|----------------|----------|
| 1 | 、17、26 | 電圧制御基板器、 |
| 第1の分配器 | | |
| 、10、19、23 | 分配器 | |
| 、20 | デュアルPLL-IC | |
| 、21 | 周波数交換機 | |
| 、22 | フィルタ | |
| 1、12 | 変調器 | |
| 3、26 | 増幅器 | |
| 4 | 合成器 | |
| 5 | アンテナ | |
| 6 | CPU | |
| 7 | 周波数交換機 | |
| 8 | フィルタ | |
| 9 | LOG-LINEAR77ン部 | |
| 0 | A/Dコンバータ | |
| 1 | ROM | |
| 2 | 論理回路 | |
| 3、34、35 | コンパレータ | |

【例題】

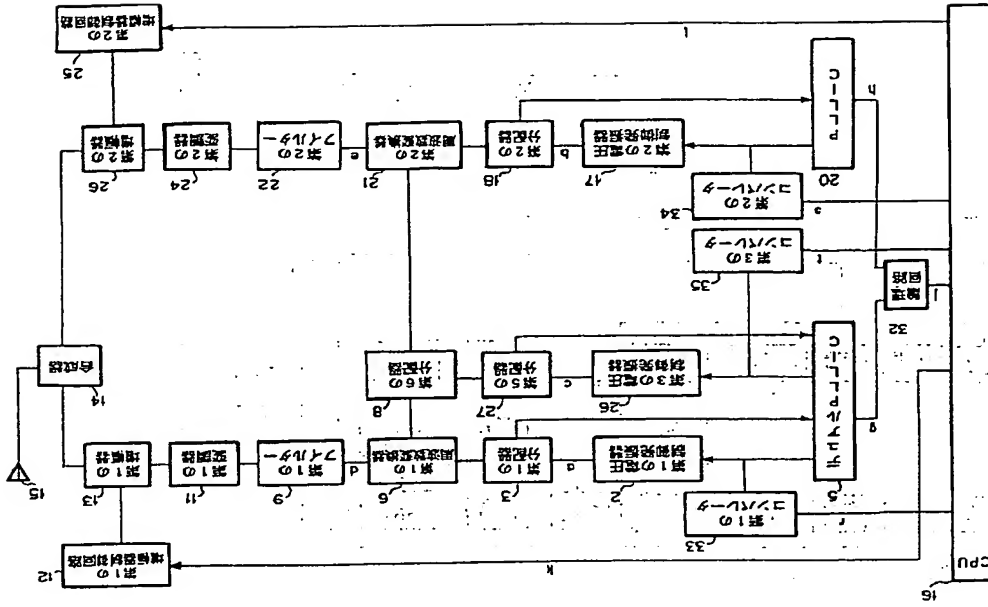
【課題】 P L L のアンロック発生時において電圧制御御振器から出力される共振周波数を周波数変換、フィル—リングすることで、P L L のアンロック箇所を判断システム運用の被害を最小限に抑える。

【解決手段】 送信信号から中間周波数成分を抽出し、帯域透過フィルタ—28に入力する。更に、帯域透過フィルタ—28の出力を対数増幅器29に入力し、対数増幅器29の出力をA/Dコンバータ30に入力する。

・本項のマルチキャリア送信機は、中間周波数値は電力値をディジタル符号に対応させるを格納したROM31に格納されている。CPU16は、両者はずれ番号の電力値を比較し、その差が所定の値より大きくなるともつて増生した時には、すべての変調信号の電力値を停止し、ROM31を参照して、A/Dコンバータの出力から前記中間周波数符号の電力値を算出し、前記電力値に基いて、前記PLLを選択し、送信を



【図5】



【図4】

入力		出力	
アンロック番号	アンロック番号h	アンロック番号	アンロック番号h
Low	Low	Low	Low
Low	Hi	Low	Low
Hi	Low	Low	Low
Hi	Hi	Hi	Hi

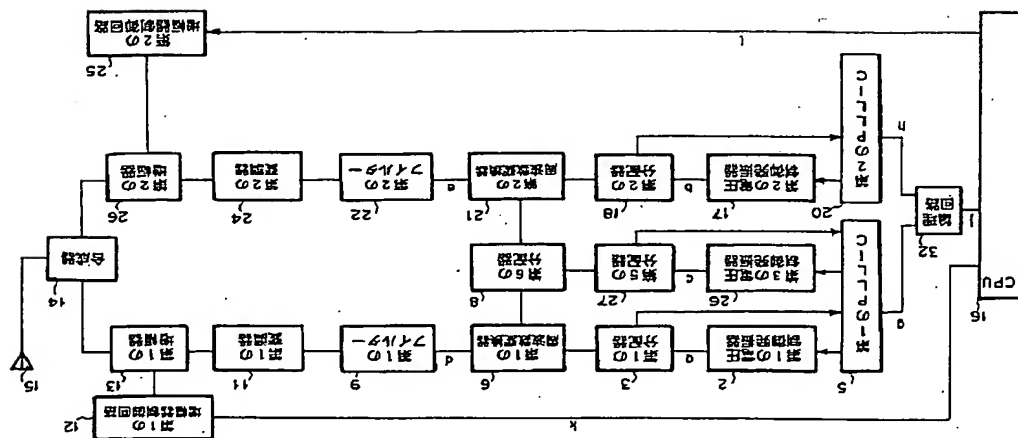
【図3】

電力値 (W)	検出電圧 (V)
0	4
-10	3
-20	2
-30	1

【図2】

検出電圧 (V)	検出データ
0	00H
1	0AH
2	14H
3	1EH
4	28H

【図6】



フロントページの続き

(58) 調査した分野 (Int. Cl. 7, DB名)

H04B 1/04

H04J 1/00

Best Available Copy

THIS PAGE BLANK (USPTO)